

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-255863

(43)Date of publication of application : 01.10.1996

(51)Int.Cl.

H01L 23/50
H01L 23/48

(21)Application number : 07-057796

(71)Applicant : FUJITSU LTD

(22)Date of filing : 16.03.1995

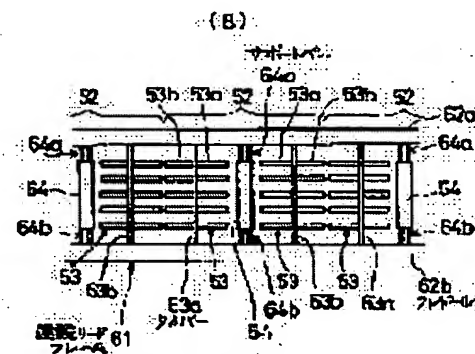
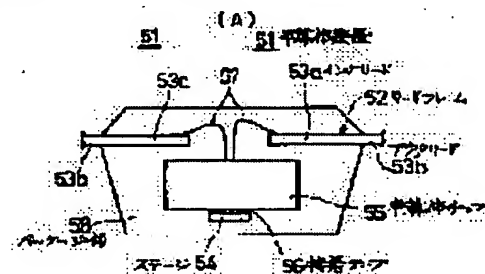
(72)Inventor : TAKASHIMA AKIRA
YOSHIMURA HIROSHI

(54) LEAD FRAME, SEMICONDUCTOR DEVICE EMPLOYING IT, AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To obtain a lead frame for mounting a semiconductor chip in a lead-on-chip system and a semiconductor device in which the manufacturing cost is reduced while preventing short circuit of the wire.

CONSTITUTION: A stage 54 having a smaller size than the mounting surface of a semiconductor chip 55 is disposed at the lower part between the opposite inner end parts of the inner lead 53a of a lead 53. The inner lead 53a is located above the semiconductor chip 55 being mounted in the lead-on-chip system.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-255863

(43) 公開日 平成8年(1996)10月1日

(51) Int.Cl.[®]

H 0 1 L 23/50

識別記号

庁内整理番号

F I

H 0 1 L 23/50

技術表示箇所

M

U

C

T

23/48

23/48

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号

特願平7-57796

(22) 出願日

平成7年(1995)3月16日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 高島 晃

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 吉村 洋

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

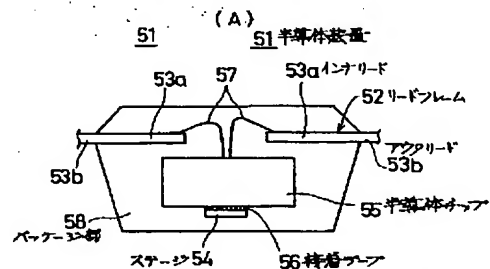
(54) 【発明の名称】 リードフレーム及びこれを用いた半導体装置及びその製造方法

(57) 【要約】

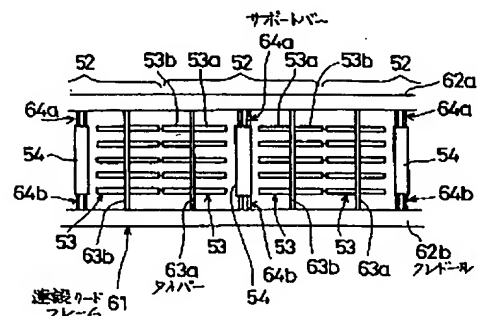
【目的】 本発明はリードオンチップ方式で半導体チップを搭載するリードフレーム及び半導体装置に関し、低コスト化を図り、ワイヤ短絡防止を図ることを目的とする。

【構成】 リード53のインナリード53aの対向する内側先端部分の間の下方に、半導体チップ55の搭載面より小サイズのステージ54が配置される。搭載される半導体チップ55の上方にはインナリード53aが位置されるリードオンチップで構成する。

本発明の第1実施例の構成図



(B)



【特許請求の範囲】

【請求項1】 搭載される半導体チップの上方で内側先端を所定間隔で対向して位置されて該半導体チップと電氣的接続が行われる所定数のリード部と、前記リード部の対向する内側先端の間の方に形成され、前記半導体チップの搭載面より小サイズで該半導体チップを搭載するステージ部と、を有することを特徴とするリードフレーム。

【請求項2】 請求項1記載のリードフレームと、前記リードフレームのステージ部上に搭載される半導体チップと、前記半導体チップと前記リードフレームのリード部との電氣的接続を行う接続手段と、前記半導体チップの周辺を覆い、前記リードフレームの各リード部の一部を外部に延出させて形成させるパッケージ部と、を有することを特徴とする半導体装置。

【請求項3】 請求項2記載の半導体チップと、該半導体チップを搭載する前記リードフレームのステージ部との間にテープ状の接着部材が介在されることを特徴とする半導体装置。

【請求項4】 請求項1記載のリードフレームのステージ部上に半導体チップを搭載するに際し、前記リードフレームのリード部の対向する内側先端の間より前記半導体チップを傾斜させて前記リードフレームのステージ部側に挿入する工程と、前記リードフレームのステージ部側に挿入された前記半導体チップを水平にして前記ステージ部上に位置させる工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項5】 請求項1記載のリードフレームのステージ部上に半導体チップを搭載するに際し、前記リードフレームのリード部と前記ステージ部との間より略水平状態で前記半導体チップを挿入する工程と、挿入された前記半導体チップを前記ステージ部上に位置させる工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項6】 所定数のリードが内側先端部分を所定間隔で対向して形成される第1のフレーム部と、前記第1のフレーム部と重ね合わされるものであって、該第1のフレーム部が重ね合わされたときに前記対向するリード間の方に配置されて半導体チップを搭載するためのステージ、及び該ステージの周辺に所定数形成された所定電気系の引き廻しのためのバス部を備えた第2のフレーム部と、を有することを特徴とするリードフレーム。

【請求項7】 請求項6記載の第1のフレーム部に形成される前記所定数のリードに、所定電気系の引き廻しを行わせるためのリードを含んで形成されることを特徴とするリードフレーム。

【請求項8】 請求項6又は7記載のリードフレームと、

前記リードフレームにおける前記第2のリードフレームのステージ上に搭載される半導体チップと、前記半導体チップ、前記第1のフレーム部のリード、及び前記第2のフレーム部のバス部の対応する間で電氣的接続を行う接続手段と、

前記半導体チップの周辺を覆い、前記第1のフレーム部の各リードの一部を外部に延出させて形成されるパッケージ部と、

を有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、リードオンチップ方式で半導体チップを搭載するリードフレーム及び半導体装置に関する。近年、半導体装置は実装効率を向上させるためにパッケージ状態がDIP (Dual In-line Package) からSOP (Small Outline Package)、SOJ (Small Outline J-Lead Package)、QFP (Quad Flat Package)へと移行し、さらにTSOP (Thin-SOP)に移行してきている。そして、さらなる実装効率の向上が要求されており、そのため高密度パッケージを低コストで実現する必要がある。

【0002】

【従来の技術】従来、LSIパッケージは、高機能化、高密度化に伴ってチップサイズが大きくなる傾向にある。そこで、パッケージを小さくして実装効率を向上させるための方法として、半導体チップ上方にリードを位置させるいわゆるLOC (Lead On Chip)方式が採用されてきている。

【0003】図8に、従来のリードオンチップの半導体装置の断面構成図を示す。図8に示す半導体装置11は第1及び第2のリードフレーム12、13で構成されるマルチリードフレームを用いたもので、第1のリードフレーム12は所定数のリード12aを有し、第2のリードフレーム13はステージ13aを有する。第2のリードフレーム13のステージ13a上には半導体チップ14が搭載されており、第1のリードフレーム12が重ね合わされたときにリード12aのインナリードとなる先端部分が半導体チップ14の上面の上方に位置させるように構成される。

【0004】すなわち、半導体チップ14の上面には、上面略中心線上に電極パッド (図に表われず) が形成されており、この電極パッドの近傍に上記リード12aの先端部分が位置され、該電極パッドとリード12a間でワイヤ15により電氣的な接続が行われる。ここで、このような位置付けとワイヤ接続を行い得る組み立て順序として、第2のリードフレーム13上に半導体チップ14をダイス付けした後に第1のリードフレーム12を溶接により重ね合わせるものである。そして、モールド樹

脂によりパッケージ16が形成されたものである。

【0005】また、図9に、リードオンチップの他の構造の内部構成図を示す。図9に示す半導体装置21は、所定数のリード22aのみが形成されたリードフレーム22におけるインナリードとなる内側先端近傍に例えばポリイミド接着テープ23により図8で説明した半導体チップ14と同様の半導体チップ24が取り付けられて搭載される。そこで、半導体チップ24の電極パッドとリード22aとをワイヤ25により電氣的接続を行ったものである。

【0006】続いて、図10に、従来のバスバーを有するマルチリードフレームによるリードオンチップの半導体装置の断面構成図を示すと共に、図11に図10のマルチリードフレームの構成説明図を示す。図10に示す半導体装置31は、図8と同様に第1及び第2のリードフレーム32、33で構成されるマルチリードフレームが用いられる。第1のリードフレーム32は、図11

(A)に示すように、クレドール34a、34b間に所定数のリード35a、35bが先端を対向させて形成され、各サイドのリード35a、35bをそれぞれバスバーリード36a、36bで囲むように配置される。

【0007】また、第2のリードフレーム33は、図11(B)に示すように、グレドール37a、37b間にサポートバー38a、38bを介してステージ39が形成される。この第2のリードフレーム33に、第1のリードフレーム32を重ね合わせた状態が図11(C)に示される。すなわち、ステージ39の上方に第1のリードフレーム32のリード35a、35bの先端及びバスバーリード36a、36bが配置される状態となる。

【0008】そこで、図10に戻って説明するに、第2のリードフレーム33のステージ39上に図8で説明した半導体チップ14と同様の半導体チップ40が搭載される。このとき半導体チップ40上の電極パッド(図に表われず)の近傍上方にリード35a、35b及びバスバーリード36a、36bが位置され、対応する同士でワイヤ41により電氣的に接続される。そして、モールド樹脂によりパッケージ42が形成されたものである。

【0009】なお、LOC方式の場合、半導体チップ40内では電源やグランドの引き廻しを行わずに、リードフレーム上で引き廻すことからバスバーリード36a、36bが前記第1のリードフレーム32に形成されるものである。

【0010】

【発明が解決しようとする課題】しかし、図8に示すリードオンチップ方式の半導体方式の半導体装置11は第1及び第2のリードフレーム12、13を使用することからコスト高となり、また図9に示すリードオンチップ方式の半導体装置21は半導体チップ24を搭載するための接着テープがコスト高であって全体的にコスト高になるという問題がある。

【0011】一方、図10に示すリードオンチップ方式の半導体装置31は、バスバーリード36a、36bを備えるマルチリードフレームとして、半導体チップ40とリード35a、35bをワイヤ41で接続するに際して該バスバーリード36a、36bを越えて配線させることから、ボンディング時や樹脂モールド時にワイヤ短絡を生じる場合があるという問題がある。

【0012】そこで、本発明は上記課題に鑑みなされたもので、低コスト化を図り、ワイヤ短絡防止を図るリードフレーム及び半導体装置を提供することを目的とする。

【0013】

【課題を解決するための手段】請求項1では、搭載される半導体チップの上方で内側先端を所定間隔で対向して位置されて該半導体チップと電氣的接続が行われる所定数のリード部と、前記リード部の対向する内側先端の間下方に形成され、前記半導体チップの搭載面より小サイズで該半導体チップを搭載するステージ部と、を有してリードフレームが構成される。

【0014】請求項2では、請求項1記載のリードフレームと、前記リードフレームのステージ部上に搭載される半導体チップと、前記半導体チップと前記リードフレームのリード部との電氣的接続を行う接続手段と、前記半導体チップの周辺を覆い、前記リードフレームの各リード部の一部を外部に延出させて形成させるパッケージ部と、を有して半導体装置が構成される。

【0015】請求項3では、請求項2記載の半導体チップと、該半導体チップを搭載する前記リードフレームのステージ部との間にテープ状の接着部材が介在される。

請求項4では、請求項1記載のリードフレームのステージ部上に半導体チップを搭載するに際し、前記リードフレームのリード部の対向する内側先端の間より前記半導体チップを傾斜させて前記リードフレームのステージ部側に挿入する工程と、前記リードフレームのステージ部側に挿入された前記半導体チップを水平にして前記ステージ部上に位置させる工程と、を含んで半導体装置の製造方法が構成される。

【0016】請求項5では、請求項1記載のリードフレームのステージ部上に半導体チップを搭載するに際し、前記リードフレームのリード部と前記ステージ部との間より略水平状態で前記半導体チップを挿入する工程と、挿入された前記半導体チップを前記ステージ部上に位置させる工程と、を含んで半導体装置の製造方法が構成される。

【0017】請求項6では、所定数のリードが内側先端部分を所定間隔で対向して形成される第1のフレーム部と、前記第1のフレーム部と重ね合わされるものであって、該第1のフレーム部が重ね合わされたときに前記対向するリード間の下方に配置されて半導体チップを搭載するためのステージ、及び該ステージの周辺に所定数形

10

20

30

40

50

成された所定電気系の引き廻しのためのバス部を備えた第2のフレーム部と、を有してリードフレームが構成される。

【0018】請求項7では、請求項6記載の第1のフレーム部に形成される前記所定数のリードに、所定電気系の引き廻しを行わせるためのリードを含んで形成される。請求項8では、請求項6又は7記載のリードフレームと、前記リードフレームにおける前記第2のリードフレームのステージ上に搭載される半導体チップと、前記半導体チップ、前記第1のフレーム部のリード、及び前記第2のフレーム部のバス部の対応する間で電気的接続を行う接続手段と、前記半導体チップの周辺を覆い、前記第1のフレーム部の各リードの一部を外部に延出させて形成されるパッケージ部と、を有して半導体装置が構成される。

【0019】

【作用】上述のように請求項1乃至3の発明では、リード部の所定間隔で対向する内側先端の間下方に、半導体チップを搭載するための該半導体チップの搭載面より小サイズのステージ部が形成されたリードフレームとし、また該リードフレームのステージ部に適宜テープ状の接着部材を介在させて半導体チップを搭載して接続手段で電気的接続が行われてパッケージ部を形成する。これにより、リード部を半導体チップの上方に位置させる場合のリードオンチップ方式におけるリードフレームを単一で形成することが可能となり、また適宜使用されるテープ状の接着部材も小量でよく、当該リードフレーム、ひいては半導体装置の低コスト化を図ることが可能となる。

【0020】請求項4又は5の発明では、単一で形成された請求項1記載のリードフレームに対し、リード部の内側先端の間より半導体チップを傾斜させてステージ側に挿入し、又はリード部とステージ部との間より略水平状態で半導体チップを挿入し、ステージ部上に半導体チップを位置させる。これにより、単一で形成したリードオンチップ方式のリードフレームに容易に半導体チップを搭載することが可能となり、低コスト化の実現を図ることが可能となる。

【0021】請求項6乃至8の発明では、第1のフレーム部に適宜所定電気系の引き廻しのためのリードを含むリードを配置し、第2のフレーム部にステージ及び所定電気系の引き廻しのためのバス部を配置したリードフレームとし、またこのリードフレームのステージ上に半導体チップを搭載して対応する所定部分と接続手段で電気的接続が行われてパッケージ部を形成する。これにより、バス部がステージ側に配置されることから、リードオンチップ方式における半導体チップの電気的接続での他への短絡を防止することが可能となる。

【0022】

【実施例】図1に、本発明の第1実施例の構成図を示

す。図1(A)は半導体装置の縦側断面図、図1(B)は使用されるリードフレームの連設状態の平面図である。図1(A)に示す半導体装置51は、リードオンチップ方式のもので、リードフレーム52がリード部としてのリード53及びステージ部としてのステージ54で構成されて、該ステージ54上に半導体チップ55が搭載されたときに、リード53のインナリード53aの先端部分が該半導体チップ55の上方に配置されるように形成されたものである。

10 【0023】ここで、リードフレーム52は、図1

(B)に示すように連設リードフレーム61のうちの半導体装置一個分であり、クレドール62a、62b間に所定間隔でタイバー63a、63bが架設状態で形成され、各タイバー63a、63bに所定数のリード53が形成される。リード53はステージ54側であって、後述するパッケージ部の内部に位置されるのがインナリード53aとなり、パッケージ部より外部に延出されるのがアウトリード53bとなる。

20 【0024】また、クレドール62a、62b間でステージ54がそれぞれ所定数(図1(B)では2本ずつ)のサポートバー64a、64bにより支持されて形成される。このステージ54は、リード53におけるインナリード53aの先端部分が所定間隔で対向した間に位置するように配置されると共に、この間隔で平面上ステージ54の全領域が認識できるサイズで形成される。すなわち、ステージ54のサイズは搭載される半導体チップ55の搭載面より小に形成される。この場合、インナリード53aの先端部分同士の間隔は、後述する半導体チップ55を傾斜させて搭載するのに必要な距離で設定される。

30 【0025】そして、上記リードフレーム52が所定数連設されて連設リードフレーム61が単一の金属部材で一体に形成される。すなわち、ステージ54のサイズがインナリード53aの対向する先端間に位置されることから、単一の金属部材で形成することができるものである。この連設リードフレーム61は、例えばニッケル合金系又は銅合金系の金属部材をエッチング又はプレスにより形成される。この場合、ステージ54はリード53に対して少くとも半導体チップ55の厚さ以上の段差位置に形成されるもので、該連設リードフレーム61がプレスで形成される場合には同時に行われる。

40 【0026】そこで、図1(A)に戻って説明するに、ステージ54上にテープ状の接着部材であるPI(ポリイミド)等の接着テープ56(銀ペースト等の接着材でもよい)を介在させて半導体チップ55が搭載される。半導体チップ55は、上面のリード配列方向の略中心線上に電極パッドが所定数(少くともリード53の本数)形成されており(図に表われず、図7参照)、該電極パッドと対応するインナリード53aとの間で、接続手段としてのワイヤ57によりボンディングされて電気的接

続される。この状態のときに、図1(B)の連設リードフレーム61のうちクレドール62、62b、タイバー63a、63b、サポートバー64a、64b等の不要部分が切断され、除去される。

【0027】そして、モールド樹脂によりパッケージングされてパッケージ部58が形成される。パッケージ部58からはリード53のアウタリード53bが延出され、リード挿入形状、ガルウィング形状、Jリード形状等の所望の形状に折曲加工される。

【0028】ここで、図2に、図1のチップオンの組立工程図を示す。図2(A)、(B)に示すように、リード53のインナリード53の対向する先端部分の間より半導体チップ55を傾斜させてステージ54側に挿入する。半導体チップ55のステージ54側への挿入が完了すると、図2(C)に示すように該半導体チップ55が水平状態にされ、図2(D)に示すようにステージ54上の正規位置までスライドさせて位置させるものである。なお、図2(A)～(D)ではステージ54上の接着テープ56は省略してある。この場合、半導体チップ55をスライドさせることから、ペースト状の接着剤を使用すると付着する場合があります、接着テープ56を用いるのが好ましい。このことは、図3においても同様である。

【0029】また、図3に、図1のチップオンの他の組立構成図を示す。図3は、リード53のインナリード53aと、下方のステージ54との間に半導体チップ55を略水平状態で挿入し、そのままの状態ですライドさせて該ステージ54上の正規位置に半導体チップ55を位置させるものである。

【0030】図2及び図3に示すように、リードオンチップ方式のリードフレーム52に対して、ステージ54上に半導体チップ55を容易に位置させることができるものである。続いて、図4に、第1実施例の他のリードフレーム構造の説明図を示す。図4に示すリードフレーム52は、ステージ54をクレドール62a、62b間で支持するのではなく、タイバー63a、63bより延出させたサポートバー65a、65bで支持した場合を示したもので、他の構成は図1(B)と同様である。

【0031】上記第1実施例に示すように、ステージ54を小サイズとして対向するインナリード53aの先端部分間に全領域配置したことにより、リードオンチップ方式に使用されるリードフレーム52を単一で構成することができ、従来の2枚方式のリードフレームに比べて低コスト化を図ることができ、ひいては半導体装置51の低コスト化を図ることができるものである。この場合、半導体チップ55をステージ54上に搭載するにあたり、接着テープ56を使用しているが、小サイズのステージ54であり、使用される接着テープ56も小量であることからコスト的に影響を与えるものではない。

【0032】次に、図5に、本発明の第2実施例の断面

構成図を示す。図5に示す半導体装置71は、リードオンチップ方式のもので、バス部であるバスバーリードを有する構造のものである。図5において、所定数のリード72が形成された第1のフレーム部73と、ステージ74及びバスバーリード75a、75bが形成された第2のフレーム部76との2枚でマルチリードフレーム77が構成される(図6で説明する)。

【0033】ステージ74上には、銀ペースト等の接着材78a(PI等の接着テープでもよい)により半導体チップ78が搭載される。半導体チップ78の上面には後述する図7に示すような電極パッド78bがリード配列方向に少くともリード72の本数に対応して形成されており、該電極パッド78bとリード72における該半導体チップ78の上方に位置されるインナリード72a(後述するパッケージ部内に位置される)とが接続手段であるワイヤ79によりボンディングされて電氣的に接続される。また、所定のインナリード72aとバスバーリード75a、75bとの間でワイヤ79により電氣的接続が行われる。

【0034】そして、半導体チップ78の周辺(インナリード72a、バスバーリード75等)をモールド樹脂により覆ってパッケージ部80が形成される。このパッケージ部80よりリード72のアウタリード(インナリード72aと一体的)72bが延出され、ガルウィング形状等の所望の形状に折曲加工される。

【0035】ここで、図6に、第2実施例のマルチリードフレームの構成図を示す。図6(A)は第1のフレーム部73を示したもので、クレドール81a、81b間に所定間隔でタイバー82a、82bが架設状態で形成され、タイバー82a、82bに所定数のリード72が一体的に形成される。タイバー82a、82b間に位置されるリードがインナリード72aとなり、外側に位置されるリードがアウタリード72bとなる。

【0036】この第1のフレーム部73は、例えば、ニッケル合金系又は銅合金系の金属部材でエッチング又はプレスにより一体的に形成される。また、図6(B)は第2のフレーム部74を示したもので、クレドール83a、83b間でサポートバー84a、84bで支持されてステージ74が一体的に形成されると共に、ステージ74の両側でサポートバー85a、85b、86a、86bで支持されてバスバーリード75a、75bが一体的に形成される。この第2のフレーム部74は、第1のフレーム部73と同様にニッケル合金系又は銅合金系の金属部材でエッチング又はプレスにより一体的に形成されると共に、プレスによる場合は図5に示すようにステージ74とバスバーリード75a、75bが所望の段差位置に同時に形成される。

【0037】そして、図6(C)に示すように、第1のフレーム部73と第2のフレーム部74とが例えば溶接により重ね合わされる。なお、溶接は、ステージ74上

に半導体チップ78が搭載された後に行われる。そこで、図7に、第2実施例のワイヤボンディングの説明図を示す。ここで、リード72(インナリード72a)のうち、所定のリードをダミーリード72a₁、72a₂としての役割を持たせている。このダミーリード72a₁、72a₂は所定電気系としての電源系やグランド系を引き廻すためのもので、バスバーリード75a、75bと同様の役割としている。そして、半導体チップ78の対応する電極パッド78bとインナリード72aとの間でワイヤ79をボンディングすることにより電氣的接続を行う。

【0038】この場合、ダミーリード72a₁、72a₂が、対応する電極パッド(電源系又はグランド系)78bとワイヤ79により接続されると共に、バスバーリード75a、75bにワイヤ79により接続されるものである。このように、ワイヤ79により電氣的接続を行うに際して近傍にバスバーリード等の他の部材が存在しないことから、ワイヤ短絡を生じることを防止することができるものである。

【0039】

【発明の効果】以上のように請求項1乃至3の発明によれば、リード部の所定間隔で対向する内側先端の間の方に、半導体チップを搭載するための該半導体チップの搭載面より小サイズのステージ部が形成されたリードフレームとし、また該リードフレームのステージ部に適宜テープ状の接着部材を介在させて半導体チップを搭載して接続手段で電氣的接続が行われてパッケージ部を形成することにより、リード部を半導体チップの上方に位置させる場合のリードオンチップ方式におけるリードフレームを単一で形成することが可能となり、また適宜使用されるテープ状の接着部材も少量でよく、当該リードフレーム、ひいては半導体装置の低コスト化を図ることができる。

【0040】請求項4又は5の発明によれば、単一で形成された請求項1記載のリードフレームに対し、リード部の内側先端の間より半導体チップを傾斜させてステージ部側に挿入し、又はリード部とステージ部との間より略水平状態で半導体チップを挿入し、ステージ部上に半導体チップを位置させることにより、単一で形成したリードオンチップ方式のリードフレームに容易に半導体チップを搭載することが可能となり、低コスト化の実現を図ることができる。

【0041】請求項6乃至8の発明によれば、第1のフレーム部に適宜所定電気系の引き廻しのためのリードを

含むリードを配置し、第2のフレーム部にステージ及び所定電気系の引き廻しのためのバス部を配置したリードフレームとし、またこのリードフレームのステージ上に半導体チップを搭載して対応する所定部分と接続手段で電氣的接続が行われてパッケージ部を形成することにより、バス部がステージ側に配置されることから、リードオンチップ方式における半導体チップの電氣的接続で他への短絡を防止することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例の構成図である。

【図2】図1のチップオン組立工程図である。

【図3】図1のチップオンの他の組立構成図である。

【図4】第1実施例の他のリードフレーム構造の説明図である。

【図5】本発明の第2実施例の断面構成図である。

【図6】第2の実施例のマルチリードフレームの構成図である。

【図7】第2実施例のワイヤボンディングの説明図である。

【図8】従来のリードオンチップの半導体装置の断面構成図である。

【図9】リードオンチップの他の構造の内部構成図である。

【図10】従来のバスバーを有するマルチリードフレームによるリードオンチップの半導体装置の断面構成図である。

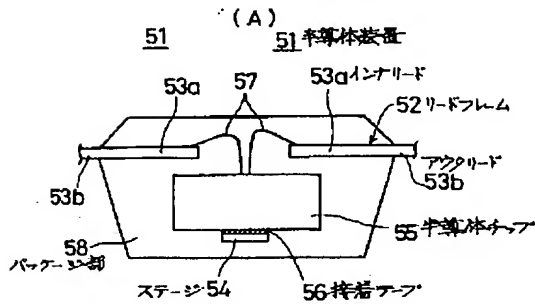
【図11】図10のマルチリードフレームの構成説明図である。

【符号の説明】

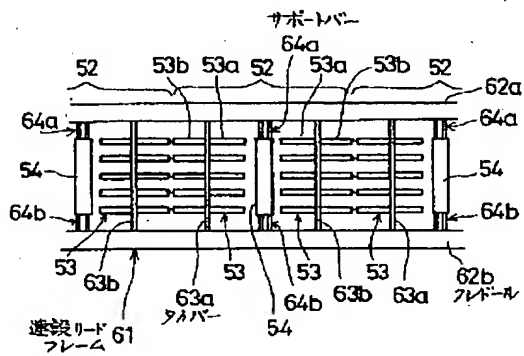
- 30 51, 71 半導体装置
- 52 リードフレーム
- 53, 72 リード
- 53a インナリード
- 53b アウタリード
- 64, 74 ステージ
- 55, 78 半導体チップ
- 56 接着テープ
- 57, 79 ワイヤ
- 58, 80 パッケージ部
- 40 61 連設リードフレーム
- 73 第1のフレーム部
- 75a, 75b バスバーリード
- 76 第2のフレーム部
- 77 マルチリードフレーム

【図 1】

本発明の第1実施例の構成図

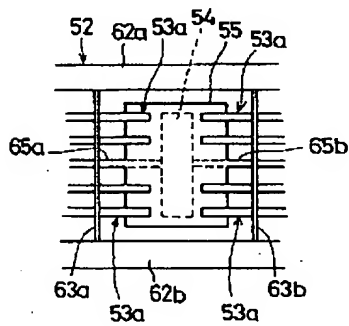


(B)



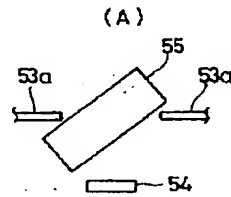
【図 4】

第1実施例の他のリードフレーム構造の説明図

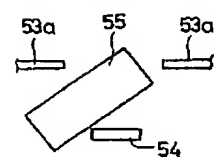


【図 2】

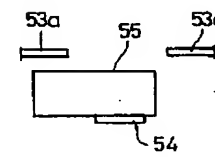
図1のチップオン組立工程図



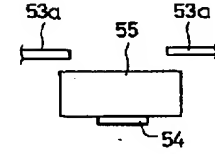
(B)



(C)

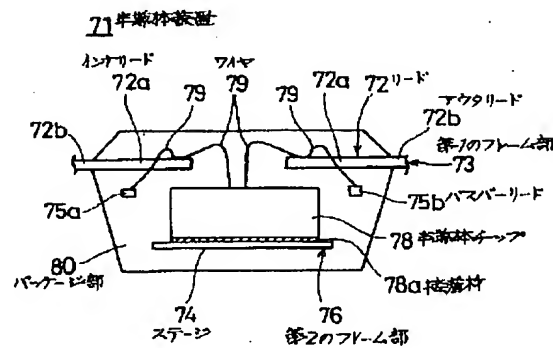


(D)



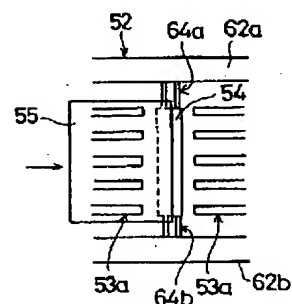
【図 5】

本発明の第2実施例の断面構成図



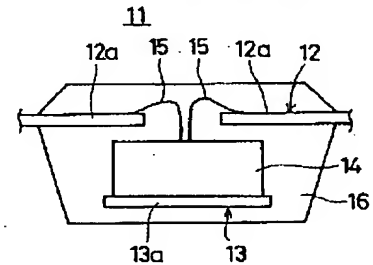
【図 3】

図1のチップオンの他の組立構成図



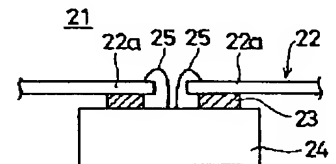
【図 8】

従来のリードオンチップの半導体装置の断面構成図



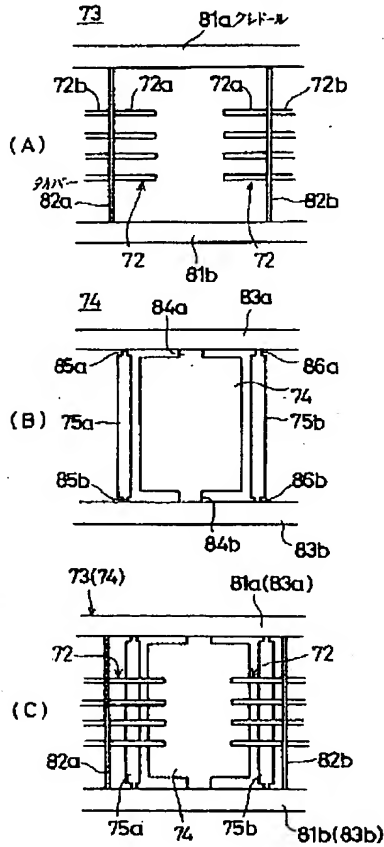
【図 9】

リードオンチップの他の構造の内部構成図



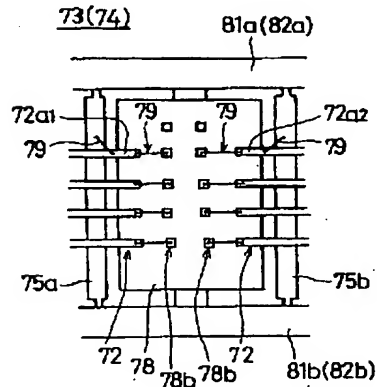
【図 6】

第2実施例のマルチリードフレームの構成図



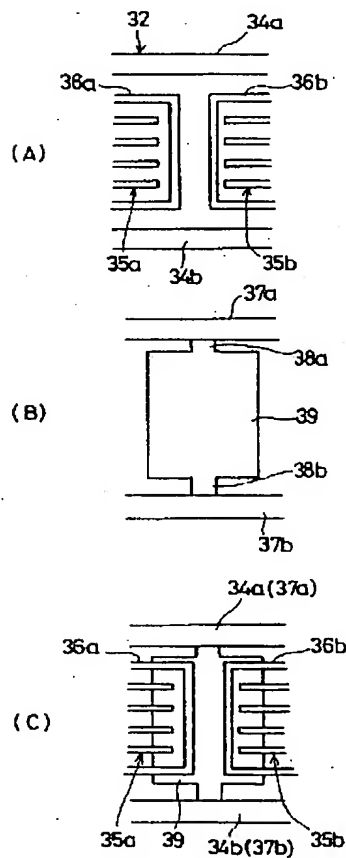
【図 7】

第2実施例のワイヤボンディングの説明図



【図 11】

図10のマルチリードフレームの構成説明図



【図 10】

従来のバスバーを有するマルチリードフレームによるリードオンチップの半導体装置の断面構成図

